



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE  
PATENT APPLICATION

Applicant: Makoto Ueda  
Serial No.: 10/710,185  
Filed: 06/24/2004  
Title: Transparent Latch Circuit

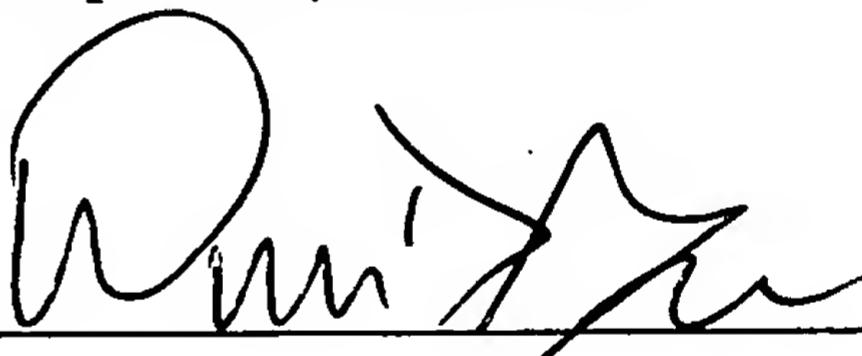
Art Unit: 2819  
Examiner: Dylan White  
Atty. Docket: JP920030086US1

Commissioner For Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant is hereby submitting certified copy of the foreign application, TRANSPARENT LATCH CIRCUIT, Patent Application # JP2003-185054 filed on 27 JUNE 2003, as specified in 35 U.S.C. § 119(b).

Respectfully submitted,

By: 

William D. Sabo, Reg. 27,465  
IP Law Department  
IBM Corporation  
1000 River Street  
Essex Junction, VT 05452  
Tel.: 802-769-9454

Date: 7 Feb 2006

**CERTIFICATE OF MAILING OR FAXING**

I, hereby, certify that on the date shown below, this correspondence is being sent by:

**MAIL**

X deposited with the United States Postal Service  
with sufficient postage as Express Mail #  
in an envelope addressed to:  
Commissioner for Patents, Alexandria VA 22313-1450

Feb 7, 2006

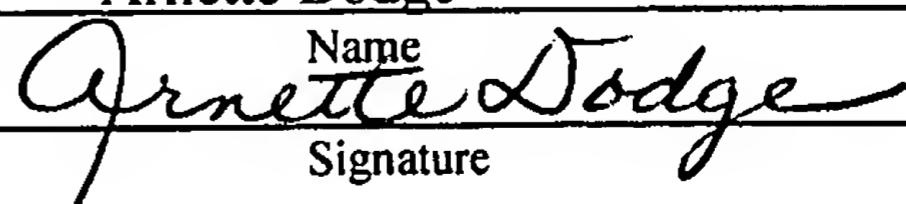
Date

**FACSIMILE**

transmitted by facsimile to the Patent and  
Trademark office

Arnette Dodge

Name  
Signature



03 086

BUR

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2003年 6月27日

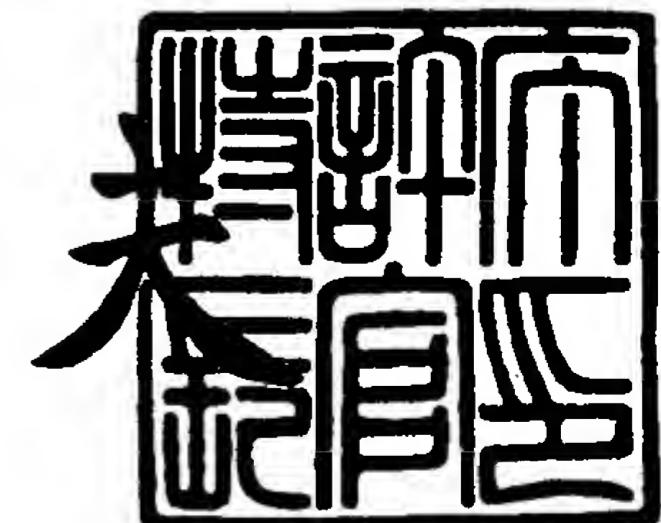
出願番号  
Application Number: 特願2003-185054  
[ST. 10/C]: [JP2003-185054]

出願人  
Applicant(s): インターナショナル・ビジネス・マシーンズ・コーポレーション

2004年 3月16日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



【書類名】 特許願  
【整理番号】 JP9030086  
【提出日】 平成15年 6月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 G01R 31/28  
G06F 11/22

## 【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅800番地 日本アイ・  
ビー・エム株式会社 野洲事業所内

【氏名】 上田 真

## 【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレ  
ーション

## 【代理人】

【識別番号】 100086243

## 【弁理士】

【氏名又は名称】 坂口 博

## 【代理人】

【識別番号】 100091568

## 【弁理士】

【氏名又は名称】 市位 嘉宏

## 【代理人】

【識別番号】 100108501

## 【弁理士】

【氏名又は名称】 上野 剛史

## 【復代理人】

【識別番号】 100104444

## 【弁理士】

【氏名又は名称】 上羽 秀敏

## 【手数料の表示】

【予納台帳番号】 165170

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0207860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トランスペアレントラッチ回路

【特許請求の範囲】

【請求項 1】 データ信号を受け、周期的に変動する第1の信号に応答して前記データ信号をラッチする第1のラッチ回路と、

前記第1のラッチ回路の出力信号を受け、前記第1の信号と相補の第2の信号に応答して前記第1のラッチ回路の出力信号をラッチする第2のラッチ回路と、

外部から入力されるテスト信号を受け、前記テスト信号が非活性状態のとき、前記第1及び第2のラッチ回路のいずれか一方に対して、そのラッチ回路が受けた信号をスルーさせるラッチ停止手段とを備えることを特徴とするトランスペアレントラッチ回路。

【請求項 2】 請求項1に記載のトランスペアレントラッチ回路であって、

前記ラッチ停止手段は、前記第1の信号と前記テスト信号とを受け、前記テスト信号が活性状態のとき前記第2の信号を出力し、前記テスト信号が非活性状態のときラッチ停止信号を出力する論理ゲートを含み、

前記第2のラッチ回路は、前記ラッチ停止信号を受けている間、前記第1のラッチ回路の出力信号をスルーすることを特徴とするトランスペアレントラッチ回路。

【請求項 3】 請求項1に記載のトランスペアレントラッチ回路であって、

前記ラッチ停止手段は、前記第2の信号と前記テスト信号とを受け、前記テスト信号が活性状態のとき前記第1の信号を出力し、前記テスト信号が非活性状態のときラッチ停止信号を出力する論理ゲートを含み、

前記第1のラッチ回路は、前記ラッチ停止信号を受けている間、前記データ信号をスルーすることを特徴とするトランスペアレントラッチ回路。

【請求項 4】 請求項1に記載のトランスペアレントラッチ回路であって、

前記ラッチ停止手段は、

前記テスト信号が非活性状態のとき、前記第1のラッチ回路が受けた信号をスルーさせる複数の第1のラッチ停止手段と、

前記テスト信号が非活性状態のとき、前記第2のラッチ回路が受けた信号をス

ルーザせる複数の第2のラッチ停止手段とを含み、  
前記トランスペアレントラッチ回路は、  
前記第1のラッチ停止手段を含む第1のトランスペアレントラッチ回路と、  
前記第2のラッチ停止手段を含む第2のトランスペアレントラッチ回路とを含  
み、

前記第1のトランスペアレントラッチ回路と前記第2のトランスペアレントラ  
ッヂ回路は交互に接続されることを特徴とするトランスペアレントラッチ回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、トランスペアレントラッチ回路に関し、さらに詳しくは、スキャン  
テストが実施できるトランスペアレントラッチ回路に関する。

##### 【0002】

##### 【従来の技術】

大規模化、複雑化した半導体装置には複数のトランスペアレントラッチ回路や  
複数のフリップフロップ回路が備えられる。図7にトランスペアレントラッチ回  
路TLを、図8にフリップフロップ回路FFをそれぞれ示す。フリップフロップ  
回路FFは2つのトランスペアレントラッチ回路TLを組み合わせて構成される  
。

##### 【0003】

半導体装置内部の論理回路（以下、論理コーンと称する）に故障が存在するか  
否かの判断はスキャンテストにより行われる。スキャンテストでは、半導体装置  
内部の複数のフリップフロップ回路FFを直列に接続してシフトレジスタとし、  
所望の論理コーンの出力信号（ファンクションデータ信号）をシフトレジスタで  
順次シフトし、そのファンクションデータ信号を外部へ出力する。このようなス  
キャンテストを想定して半導体装置を設計することをスキャン設計といい、ス  
キャンテスト時フリップフロップ回路FFを直列に接続した状態をスキャンパスと  
称する。

##### 【0004】

スキャン設計には、1相のクロック信号を用いたスキャンテストを想定したGSD (General Scan Design) と、2相のクロック信号を用いたスキャンテストを想定したLSSD (Level Sensitive Scan Design) とがある。LSSDは、独立した2つのクロック信号でスキャンテストを行うため、タイミングエラーが発生しないというメリットがあるが、回路構成が複雑になるため、回路規模が大きくなる。一方、GSDはLSSDよりも回路構成を簡素化でき、回路規模を抑えることができる。

#### 【0005】

しかしながら、GSDでは1相のクロック信号を用いるため、クロック信号の立ち上がり（又は立ち下がり）で信号の読み込みや出力を行う複数のフリップフロップ回路FFをスキャンチェーンとすることはできるが、クロック信号のレベル（Hレベル又はLレベル）に応じて信号を保持又はスルーするトランスペアレントラッチ回路TLをスキャンチェーンの一部とすることはできない。

#### 【0006】

図9を参照して、半導体装置内の論理コーン500と論理コーン501との間に複数のフリップフロップ回路FF1～FF5が配置されている場合のスキャンテストの動作を説明する。各フリップフロップ回路FF1～FF5にはマルチプレクサMP1～MP5により論理コーンからの出力信号（ファンクションデータ信号DI）又はスキャンデータ信号SIが入力される。スキャンテスト時、フリップフロップ回路FF1～FF5は直列に接続されスキャンチェーンを構成する。論理コーン50内の組合せ回路400から出力されたファンクションデータ信号DIはマルチプレクサMP1を介してフリップフロップ回路FF1に入力される。ファンクションデータ信号DIがフリップフロップ回路FF1に入力された後、マルチプレクサMP1はスキャンデータ信号SIを選択し、フリップフロップ回路FF1にスキャンデータ信号SIが入力される。クロック信号CLKに基づいてファンクションデータ信号DIはフリップフロップ回路FF1からFF2へ、さらにFF3へと順次シフトされ、最終的には出力ノード502からファンクションデータ信号DIが出力される。以上のように、スキャンチェーンを複数のフリップフロップ回路FF1～FF5で構成する場合、所望の組合せ回路40

0から出力されるスキャンデータ信号D Iを外部へ出力できる。

#### 【0007】

しかしながら、図10を参照して、スキャンチェーン内にフリップフロップ回路FF1の代わりにトранスペアレントラッチ回路TLが含まれる場合は、スキャンチェーンがシフトレジスタとして機能しない。トランスペアレントラッチTLはクロック信号CLKの立ち上がり又は立ち下がりに応答して受けたデータを後段のフリップフロップ回路FF2に伝達できない。

#### 【0008】

よって、フリップフロップ回路FF1の代わりにトランスペアレントラッチ回路TLを配置した場合、スキャンテスト時にはトランスペアレントに外部からテスト信号TEを入力することでトランスペアレントラッチ回路TLをスルーバッファとし、フリップフロップ回路FF2～FF5でスキャンチェーンを構成する。その結果、組合せ回路400から出力されたファンクションデータ信号D Iを外部へ出力することができない。

#### 【0009】

トランスペアレントラッチ回路TLを論理コーン500の一部として考えた場合、トランスペアレントラッチ回路TLを含む論理コーン500で入力データに対して出力データが一義的に決まらない。トランスペアレントラッチ回路TLがデータをスルーする結果、ループが生じることがあるためである。よって、トランスペアレントラッチ回路TLを論理コーン500の一部とすることもできない。

#### 【0010】

よって、GSDにおいてはトランスペアレントラッチ回路を利用するメモリ回路のラッパーやサイクルスチールでは、スキャンテストを実施できない。その結果、半導体装置全体のテストカバレッジが低下する。

#### 【0011】

##### 【特許文献1】

特開平4-216643号公報

##### 【特許文献2】

特開平3-111776号公報

**【特許文献3】**

特開昭60-254740号公報

**【特許文献4】**

特開昭57-106238号公報

**【0012】****【発明が解決しようとする課題】**

本発明の目的は、GSDでスキャンテスト可能なトранスペアレントラッチ回路を提供することである。

**【0013】****【課題を解決するための手段】**

本発明によるトランスペアレントラッチ回路は、第1のラッチ回路と第2のラッチ回路とラッチ停止手段とを備える。第1のラッチ回路は、データ信号を受け、周期的に変動する第1の信号に応答してデータ信号をラッチする。第2のラッチ回路は、第1のラッチ回路の出力信号を受け、第1の信号と相補の第2の信号に応答して第1のラッチ回路の出力信号をラッチする。ラッチ停止手段は、外部から入力されるテスト信号を受け、テスト信号が非活性状態のとき、第1及び第2のラッチ回路のいずれか一方に対して、そのラッチ回路が受けた信号をスルーさせる。

**【0014】**

本発明によるトランスペアレントラッチ回路は、テスト信号が非活性状態のとき、第1及び第2のラッチ回路のうちのいずれか一方がラッチ回路として動作し、他方が受けた信号をそのままスルーする。よってテスト信号が非活性状態となる通常動作時は、トランスペアレントラッチ回路はラッチ回路として動作する。また、テスト信号が活性状態のときは、第1及び第2のラッチ回路はともにラッチ回路として動作し、第1のラッチ回路は第1の信号に応答してラッチし、第2のラッチ回路は第1の信号と相補の第2の信号に応答してラッチする。その結果、テスト信号が活性状態となるスキャンテスト時は、トランスペアレントラッチ回路はフリップフロップ回路として動作する。よって、第1の信号のみに基づいてスキャンテスト動作を行うことができ、GSDでもスキャンテストが可能とな

る。

#### 【0015】

好ましくは、ラッチ停止手段は、第1の信号とテスト信号とを受け、テスト信号が活性状態のとき第2の信号を出力し、テスト信号が非活性状態のときラッチ停止信号を出力する論理ゲートを含み、第2のラッチ回路は、ラッチ停止信号を受けている間、第1のラッチ回路の出力信号をスルーすることを特徴とする。

#### 【0016】

これにより、テスト信号が非活性状態となる通常動作時は第2のラッチ回路はラッチ停止手段からラッチ停止信号を受ける。そのため、第2のラッチ回路は受けた信号をそのままスルーする。一方、第1のラッチ回路はラッチ回路として動作する。また、スキャンテスト時はテスト信号が活性状態となるため、第2のラッチ回路は第1の信号と相補の信号を受け、ラッチ回路として動作する。その結果、スキャンテスト時にトランスペアレント回路はフリップフロップ回路として動作し、第1の信号に基づいてスキャンテストが可能となる。

#### 【0017】

好ましくは、ラッチ停止手段は、第2の信号とテスト信号とを受け、テスト信号が活性状態のとき第1の信号を出力し、テスト信号が非活性状態のときラッチ停止信号を出力する論理ゲートを含み、第1のラッチ回路は、ラッチ停止信号を受けている間、データ信号をスルーすることを特徴とする。

#### 【0018】

これにより、テスト信号が非活性状態となる通常動作時は第1のラッチ回路はラッチ停止手段からラッチ停止信号を受ける。そのため、第1のラッチ回路は受けた信号をそのままスルーする。一方、第2のラッチ回路はラッチ回路として動作する。また、スキャンテスト時はテスト信号が活性状態となるため、第1のラッチ回路は第2の信号と相補の第1の信号を受け、ラッチ回路として動作する。その結果、スキャンテスト時にトランスペアレント回路はフリップフロップ回路として動作し、第2の信号に基づいてスキャンテストが可能となる。

#### 【0019】

好ましくは、ラッチ停止手段は、第1のラッチ停止手段と、第2のラッチ停止

手段とを含む。第1のラッチ停止手段は、テスト信号が非活性状態のとき、第1のラッチ回路が受けた信号をスルーさせる。第2のラッチ停止手段は、テスト信号が非活性状態のとき、第2のラッチ回路が受けた信号をスルーさせる。トランスペアレントラッチ回路は、第1のトランスペアレントラッチ回路と第2のトランスペアレントラッチ回路とを備える。第1のトランスペアレントラッチ回路は第1のラッチ停止手段を含む。第2のトランスペアレントラッチ回路は第2のラッチ停止手段を含む。第1のトランスペアレントラッチ回路と第2のトランスペアレントラッチ回路は交互に接続される。

#### 【0020】

複数の第1のトランスペアレントラッチ回路同士を連結して通常動作を行う場合、又は複数の第2のトランスペアレントラッチ回路同士を連結して通常動作を行う場合、互いに隣接するトランスペアレントラッチ回路間で第1の信号を反転させるための回路素子を挿入する必要があるが、回路素子の挿入はクロックスキーを発生させる。本発明によるトランスペアレントラッチ回路では、第1のトランスペアレントラッチ回路と第2のトランスペアレントラッチ回路とを交互に接続することで、各トランスペアレントラッチ回路間に回路素子の挿入を不要とする。そのため、クロックスキーの発生を防止できる。

#### 【0021】

##### 【発明の実施の形態】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明を援用する。

#### 【0022】

##### [第1の実施の形態]

図1を参照して、トランスペアレントラッチ回路10は、マルチプレクサ(MUX)1と、マスタラッチ回路2と、スレーブラッチ回路3と、インバータ4と、ラッチ停止回路5とを備える。

#### 【0023】

MUX1はファンクションデータ信号DIとスキャンデータ信号SIとを受け、マスタラッチ回路2に出力する信号を選択する。具体的には、MUX1は図示

しない制御回路から出力されたセレクト信号S Eを受ける。セレクト信号S EがL（論理ロー）レベルのとき、MUX 1はマスタラッチ回路2にファンクションデータ信号D Iを出力する。セレクト信号S EがH（論理ハイ）レベルのとき、MUX 1はマスタラッチ回路2にスキャンデータ信号S Iを出力する。インバータ4はクロック信号C L Kを受け、反転して信号 $\phi$  I V 4として出力する。ラッチ停止回路5はN ANDゲートで構成される。ラッチ停止回路5は信号 $\phi$  I V 4とテスト信号T Eとを受け、N AND演算結果を出力する。具体的には、テスト信号T EがLレベルのとき、ラッチ停止回路5はHレベルのラッチ停止信号 $\phi$  G 5を出力する。テスト信号T EがHレベルのとき、ラッチ停止回路5は信号 $\phi$  I V 4と相補の信号 $\phi$  G 5として出力する。

#### 【0024】

図2を参照して、マスタラッチ回路2は、N ANDゲート2 2～2 5と、インバータ2 1とを含む。N ANDゲート2 2はMUX 1の出力信号（ファンクションデータ信号D I又はスキャンデータ信号S I）とインバータ4の出力信号 $\phi$  I V 4とを受け、N AND論理演算結果を信号 $\phi$  G 2 2として出力する。

#### 【0025】

N ANDゲート2 3は、インバータ2 1の出力信号 $\phi$  I V 2 1と信号 $\phi$  I V 4とを受け、N AND論理演算結果を信号 $\phi$  G 2 3として出力する。なお、インバータ2 1はMUX 1の出力信号（ファンクションデータ信号D I又はスキャンデータ信号S I）を受け、反転する。N ANDゲート2 4と2 5とはSRラッチ回路2 6を構成する。SRラッチ回路2 6内のN ANDゲート2 4は2つの入力端子を有し、そのうち一方はN ANDゲート2 2の出力端子と接続され、他方はN ANDゲート2 5の出力端子と接続される。N ANDゲート2 5は2つの入力端子を有し、そのうち一方はN ANDゲート2 3の出力端子と接続され、他方はN ANDゲート2 4の出力端子と接続される。

#### 【0026】

信号 $\phi$  G 2 2がHレベルで信号 $\phi$  G 2 3がLレベルのとき、SRラッチ回路2 6はLレベルの信号 $\phi$  Mを出力する。一方、信号 $\phi$  G 2 2がLレベルで、信号 $\phi$  G 2 3がHレベルのとき、SRラッチ回路2 6はHレベルの信号 $\phi$  Mを出力する

。信号 $\phi G_{22}$ と信号 $\phi G_{23}$ とがともにHレベルのとき、SRラッチ回路26は信号 $\phi M$ をラッチする。

### 【0027】

スレーブラッチ回路3の構成もマスタラッチ回路2の構成と同じである。ただし、スレーブラッチ回路3内のNANDゲート22はマスタラッチ回路2の出力信号 $\phi M$ とラッチ停止回路5の出力信号 $\phi G_5$ とを受ける。また、NANDゲート23は信号 $\phi M$ を反転するインバータ21の出力信号 $\phi IV_{21}$ とラッチ停止回路5の出力信号 $\phi G_5$ とを受ける。また、SRラッチ回路26は信号DOを出力する。

### 【0028】

以上の回路構成を有するトランスペアレントラッチ回路10の通常時及びスキヤンテスト時の動作について説明する。

### 【0029】

#### [通常時のトランスペアレントラッチ回路の動作]

通常動作時は、テスト信号TEはLレベルとなる。また、MUX1に入力されるセレクト信号SEはLレベルであるため、MUX1はファンクションデータ信号DIを選択し、マスタラッチ回路2はファンクションデータ信号DIを受ける。このとき、トランスペアレントラッチ回路10内のマスタラッチ回路2がラッチ回路として動作し、スレーブラッチ回路3は受けた信号を単にスルーする。以下、詳細に説明する。

### 【0030】

#### (1) クロック信号CLKがHレベルからLレベルに立ち下がる場合

クロック信号CLKがHレベルからLレベルに立ち下がる場合、インバータ4の出力信号 $\phi IV_4$ はHレベルになる。ここで、ファンクションデータ信号DIがLレベルのとき、NANDゲート22の出力信号 $\phi G_{22}$ はHレベルとなり、NANDゲート23の出力信号 $\phi G_{23}$ はLレベルとなる。その結果、SRラッチ回路26はLレベルの信号 $\phi M$ を出力する。一方、ファンクションデータ信号DIがHレベルのとき、信号 $\phi G_{22}$ はLレベルとなり、信号 $\phi G_{23}$ はHレベルとなる。その結果、SRラッチ回路26はHレベルの信号 $\phi M$ を出力する。以

上より、クロック信号CLKがHレベルからLレベルへ立ち下がった場合、マスタラッチ回路2はファンクションデータ信号DIを信号 $\phi M$ として出力する。

#### 【0031】

このときスレーブラッチ回路3はマスタラッチ回路2の出力信号 $\phi M$ をそのままスルーし、信号DOとして出力する。具体的には、通常動作ではテスト信号TEがLレベルのため、ラッチ停止回路5からHレベルのラッチ停止信号 $\phi G_5$ が出力される。信号 $\phi M$ がHレベルの場合、NANDゲート22の出力信号 $\phi G_{22}$ はLレベルとなり、NANDゲート23の出力信号 $\phi G_{23}$ はHレベルとなるため、SRラッチ回路26はHレベルの信号DOを出力する。一方、信号 $\phi M$ がLレベルの場合、信号 $\phi G_{22}$ はHレベル、信号 $\phi G_{23}$ はLレベルとなり、SRラッチ回路26はLレベルの信号DOを出力する。よって、スレーブラッチ回路3は受けた信号 $\phi M$ をスルーし、信号DOとして出力する。

#### 【0032】

##### (2) クロック信号CLKがLレベルからHレベルに立ち上がる場合

クロック信号CLKがLレベルからHレベルに立ち上がる場合、マスタラッチ回路2は信号 $\phi M$ をラッチする。具体的には、信号 $\phi IV_4$ がLレベルとなるため、マスタラッチ回路2内のNANDゲート22及び23の出力信号 $\phi G_{22}$ 及び $\phi G_{23}$ はともにHレベルとなる。よって、SRラッチ回路26は信号 $\phi M$ をラッチする。

#### 【0033】

このときテスト信号TEがLレベルのため、ラッチ停止回路5はHレベルのラッチ停止信号 $\phi G_5$ を出力する。よってスレーブラッチ回路3は受けた信号 $\phi M$ をそのままスルーして、信号DOとして出力する。

#### 【0034】

以上より、トランスペアレントラッチ回路10は通常動作時はマスタラッチ回路3がラッチ回路として動作し、スレーブラッチ回路3は受けた信号 $\phi M$ をそのままスルーする。よって、トランスペアレントラッチ回路10は全体でラッチ回路として動作する。

#### 【0035】

[スキャンテスト時のトランスペアレントラッチ回路の動作]

図3を参照して、スキャンテスト時はテスト信号T EがHレベルとなる。また、スキャンテスト時はスキャンデータ信号S Iを利用するため、セレクト信号S EもHレベルとなる。時刻t 1で、クロック信号C L KがHレベルに立ち上がると、インバータ4の出力信号 $\phi$  I V 4はLレベルとなる。一方、セレクト信号S EがHレベルのため、MUX 1はスキャンデータ信号S Iを選択する。マスタラッチ回路2内のN A N Dゲート2 2及び2 3はLレベルの信号 $\phi$  I V 4を受けるため、ともにHレベルの信号 $\phi$  G 2 2又は $\phi$  G 2 3を出力する。その結果、S R ラッチ回路2 6は信号 $\phi$  Mをラッチする。時刻t 1では、マスタラッチ回路2はスキャンデータ信号S I - 3を受けるため、信号 $\phi$  Mはスキャンデータ信号S I - 3と同じになる。よって、マスタラッチ回路2はクロック信号C L KがHレベルの間（時刻t 1～t 2）、スキャンデータ信号S I - 3をラッチし続ける。

**【0036】**

時刻t 1～t 2でのスレーブラッチ回路3の動作に注目すると、ラッチ停止回路5はHレベルのテスト信号T EとLレベルの信号 $\phi$  I V 4とを受け、Hレベルの信号 $\phi$  Gを出力する。スレーブラッチ回路3がHレベルの信号 $\phi$  Mを受けるとき、N A N Dゲート2 2はHレベルの信号 $\phi$  G 5とHレベルの信号 $\phi$  Mとを受け、Lレベルの信号 $\phi$  G 2 2を出力する。また、N A N Dゲート2 3はLレベルの信号 $\phi$  I V 2 1とHレベルの信号 $\phi$  G 5とを受け、Hレベルの信号 $\phi$  G 2 3を出力する。その結果、S R ラッチ回路2 6はHレベルの信号 $\phi$  D Oを出力する。一方、スレーブラッチ回路3がLレベルの信号 $\phi$  Mを受けるとき、N A N Dゲート2 2からHレベルの信号 $\phi$  G 2 2が出力され、N A N Dゲート2 3からLレベルの信号 $\phi$  G 2 3が出力される。その結果、S R ラッチ回路2 6はLレベルの信号 $\phi$  D Oを出力する。よって、時刻t 1から遅延時間 $\triangle t$ 分だけ遅れて、出力信号 $\phi$  D Oは信号 $\phi$  M（つまりスキャンデータ信号S I - 3）と同じレベルになる。遅延時間 $\triangle t$ はトランスペアレントラッチ回路1 0の時定数により発生する。

**【0037】**

続いて、時刻t 2～t 3でのトランスペアレントラッチ回路1 0の動作を説明する。時刻t 2でクロック信号C L KがLレベルとなると、マスタラッチ回路2

内のNANDゲート22及び23に入力される信号 $\phi IV_4$ はHレベルとなる。そのため、マスタラッチ回路2内のSRラッチ回路26は時刻 $t_2 \sim t_3$ で受けたスキャンテストデータ信号SIをそのままスルーし、出力する。

#### 【0038】

一方、スレーブラッチ回路3では、時刻 $t_2$ でLレベルの信号 $\phi G_5$ が入力される。そのため、スレーブラッチ回路3内のNANDゲート22及び23から出力される信号 $\phi G_{22}$ 及び $\phi G_{23}$ はともにHレベルとなる。よってスレーブラッチ回路3内のSRラッチ回路26はスレーブラッチ回路3が受けた信号 $\phi M$ （すなわちスキャンデータ信号SI-3）を時刻 $t_3$ までラッチする。時刻 $t_3$ 以降は時刻 $t_1 \sim t_2$ の動作を繰り返す。

#### 【0039】

なお、時刻 $t_5$ でセレクト信号SEがLレベルとなり、MUX1がファンクションデータ信号SO0を選択し、マスタラッチ回路2に出力しているが、これは複数のトランスペアレントラッチ回路10間にある論理コーンの出力を観測するためである。このとき、テスト信号TEはHレベルのままであるためマスタラッチ回路2及びスレーブラッチ回路3の動作はスキャンデータ信号SIを入力したときと同じである。

#### 【0040】

以上の動作により、テスト動作時では、トランスペアレントラッチ回路10はクロック信号CLKの立ち上がりでマスタラッチ回路2が受けたスキャンテスト信号SIをラッチし、スレーブラッチ回路3が受けた信号 $\phi M$ をスルーする。一方、クロック信号の立ち下がりでマスタラッチ回路2が受けたスキャンテスト信号SIをスルーし、スレーブラッチ回路3が出力信号DOをラッチする。よって、トランスペアレントラッチ回路10はフリップフロップ回路として動作する。

#### 【0041】

本発明の実施の形態によるトランスペアレントラッチ回路10はテスト時にはフリップフロップ回路として動作するため1相のクロックでスキャンテストを実施することができ、かつ通常動作時にはラッチ回路として動作できる。そのため、RAMラッパーやサイクルスチールに必要なトランスペアレントラッチ回路を

本発明の実施の形態によるトランスペアレントラッチ回路10にすることで、1相のクロックでスキャンテストすることができ、GSDでもテストカバレッジを向上することができる。

#### 【0042】

##### [第2の実施の形態]

第1の実施の形態によるトランスペアレントラッチ回路10では、通常動作時にラッチ停止信号 $\phi G_5$ によりスレーブラッチ回路3が受けた信号をスルーすることで、通常動作時にラッチ回路として動作したが、通常動作時にマスタラッチ回路2が受けた信号をスルーし、スレーブラッチ回路3がラッチ回路として動作してもよい。

#### 【0043】

図4を参照して、トランスペアレントラッチ回路20は、トランスペアレントラッチ回路10と比較して、インバータ4及びラッチ停止回路5の代わりにラッチ停止回路50を設置する。ラッチ停止回路50は2つの入力端子を有し、そのうち一方の入力端子にテスト信号TEを受け、他方の入力端子にクロック信号CLKを受ける。ラッチ停止回路50は受けたテスト信号TE及びクロック信号CLKをNAND論理演算し、その結果を出力する。具体的には、テスト信号TEがLレベルのとき、ラッチ停止回路50はHレベルのラッチ停止信号 $\phi G_{50}$ を出力する。テスト信号TEがHレベルのとき、ラッチ停止回路50はクロック信号CLKと相補の信号/CLKを出力する。ラッチ停止回路50の出力信号はマスタラッチ回路2内のNANDゲート22及び23に入力される。なお、スレーブラッチ回路3内のNANDゲート22及び23はクロック信号 $\phi CLK$ を受ける。その他の回路構成についてはトランスペアレントラッチ回路10と同じである。

#### 【0044】

以上に示した回路構成により、トランスペアレントラッチ回路20では、通常動作時にラッチ停止回路からラッチ停止信号 $\phi G_{50}$ が出力される。その結果、マスタラッチ回路2は受けたファンクションデータ信号DIをスルーする。このとき、スレーブラッチ回路3はクロック信号CLKを受け、ラッチ回路として動

作する。一方、スキャンテスト時にラッチ停止回路50は信号／CLKを出力する。その結果、マスタラッチ回路2及びスレーブラッチ回路3がともにラッチ回路として動作し、トランスペアレントラッチ回路20は全体でフリップフロップ回路として動作する。以上の結果、トランスペアレントラッチ回路20は通常動作時はラッチ回路として動作し、スキャンテスト時はフリップフロップとして動作するため、1相のクロック信号によりスキャンテストされるGSDにおいてもテストカバレッジを向上できる。

#### 【0045】

##### [第3の実施の形態]

第1及び第2の実施の形態によるトランスペアレントラッチ回路は、通常動作ではトランスペアレントラッチ回路として動作し、スキャンテストではフリップフロップ回路として動作することで、GSDでもスキャンテストを可能とした。

#### 【0046】

第1の実施の形態によるトランスペアレントラッチ回路10同士を2個連結させれば、通常動作でもフリップフロップ回路として機能させることができる。具体的には、前段のトランスペアレントラッチ回路10内のマスタラッチ回路2がファンクションデータ信号DIをラッチしているとき、後段のトランスペアレントラッチ回路10内のマスタラッチ回路2が入力信号をスルーし、前段のトランスペアレントラッチ回路10内のマスタラッチ回路2がファンクションデータ信号DIをスルーしているとき、後段のトランスペアレントラッチ回路10内のマスタラッチ回路2が出力信号DOをラッチするように動作させればよい。第2の実施の形態によるトランスペアレントラッチ回路20についても同様である。

#### 【0047】

上記のような動作をさせるためには、前段と後段のトランスペアレントラッチ回路の間にクロック信号CLKを反転させるための回路素子を挿入する必要があるが、回路素子の挿入はクロックスキューを発生させるおそれがある。クロックスキューが発生すると誤動作の原因となるため、クロックスキューは防止できる方が望ましい。

#### 【0048】

第3の実施の形態によるトランスペアレントラッチ回路30は、図5に示すようにトランスペアレントラッチ回路10と20とを組合せた回路である。具体的には、トランスペアレントラッチ回路10内のスレーブラッチ回路3の出力端子と、トランスペアレントラッチ回路20のMUX1のファンクションデータ信号DIの入力端子とを接続し、トランスペアレントラッチ回路10のインバータ4の入力端子とトランスペアレントラッチ回路20のクロック信号CLK入力端子とを接続する。以下、図5に示したトランスペアレントラッチ回路30の通常時の動作を説明する。

#### 【0049】

図6を参照して、通常動作時トランスペアレントラッチ回路30に入力されるテスト信号TEはLレベルとなる。その結果、トランスペアレントラッチ回路10内のスレーブラッチ回路3はラッチ停止回路5からラッチ停止信号 $\phi G_5$ を受け、マスタラッチ回路2からの出力信号 $\phi M$ を常時スルーしてトランスペアレントラッチ回路20へ出力する。よって、トランスペアレントラッチ回路10ではマスタラッチ回路2のみがラッチ回路として動作する。一方、トランスペアレントラッチ回路20内のマスタラッチ回路2はラッチ停止回路50からHレベルのラッチ停止信号 $\phi G_{50}$ を受けるため、トランスペアレントラッチ回路10の出力信号をスルーしてトランスペアレントラッチ回路20内のスレーブラッチ回路3へ出力する。トランスペアレントラッチ回路20のスレーブラッチ回路3はラッチ回路として動作する。

#### 【0050】

よって、通常動作時、トランスペアレントラッチ回路30では、トランスペアレントラッチ回路10内のマスタラッチ回路2と、トランスペアレントラッチ回路20内のスレーブラッチ回路3とがラッチ回路として動作する。時刻t10でクロック信号CLKがHレベルとなるとき、トランスペアレントラッチ回路10のマスタラッチ回路2に入力される信号 $\phi I V_4$ はLレベルとなる。一方、トランスペアレントラッチ回路20内のスレーブラッチ回路3に入力されるクロック信号CLKはHレベルである。よって、時刻t10～t20では、トランスペアレントラッチ回路10内のマスタラッチ回路2が入力されたファンクションデー

タ信号D1をラッチし、トランスペアレントラッチ回路20内のスレーブラッチ回路3が、時刻t10から時定数による遅延時間△t2後に、ファンクションデータ信号D1をスルーする。

#### 【0051】

時刻t20でクロック信号CLKがLレベルとなったとき、トランスペアレントラッチ回路10内のマスタラッチ回路2は受けたファンクションデータ信号D2をスルーする。一方、トランスペアレントラッチ回路20内のスレーブラッチ回路3は出力信号DO（ファンクションデータD1）をラッチする。以上の結果、トランスペアレントラッチ回路30は通常動作時はフリップフロップ回路として動作する。また、トランスペアレントラッチ回路10とトランスペアレントラッチ回路20との間に、クロック信号CLKを反転させるための回路素子の挿入が不要のため、クロックスキューは発生しない。

#### 【0052】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態によるトランスペアレントラッチ回路の構成を示すブロック図である。

##### 【図2】

図1中のマスタラッチ回路の回路構成の詳細を示す回路図である。

##### 【図3】

図1に示したトランスペアレントラッチ回路のスキャンテスト時の動作を示すタイミング図である。

##### 【図4】

本発明の第2の実施の形態によるトランスペアレントラッチ回路の構成を示すブロック図である。

**【図 5】**

本発明の第3の実施の形態によるトランスペアレントラッチ回路の構成を示すブロック図である。

**【図 6】**

図5に示したトランスペアレントラッチ回路の通常動作時の動作を示すタイミング図である。

**【図 7】**

従来のトランスペアレントラッチ回路の構成を示す回路図である。

**【図 8】**

従来のフリップフロップ回路の構成を示す回路図である。

**【図 9】**

スキャンテストを説明するためのブロック図である。

**【図 10】**

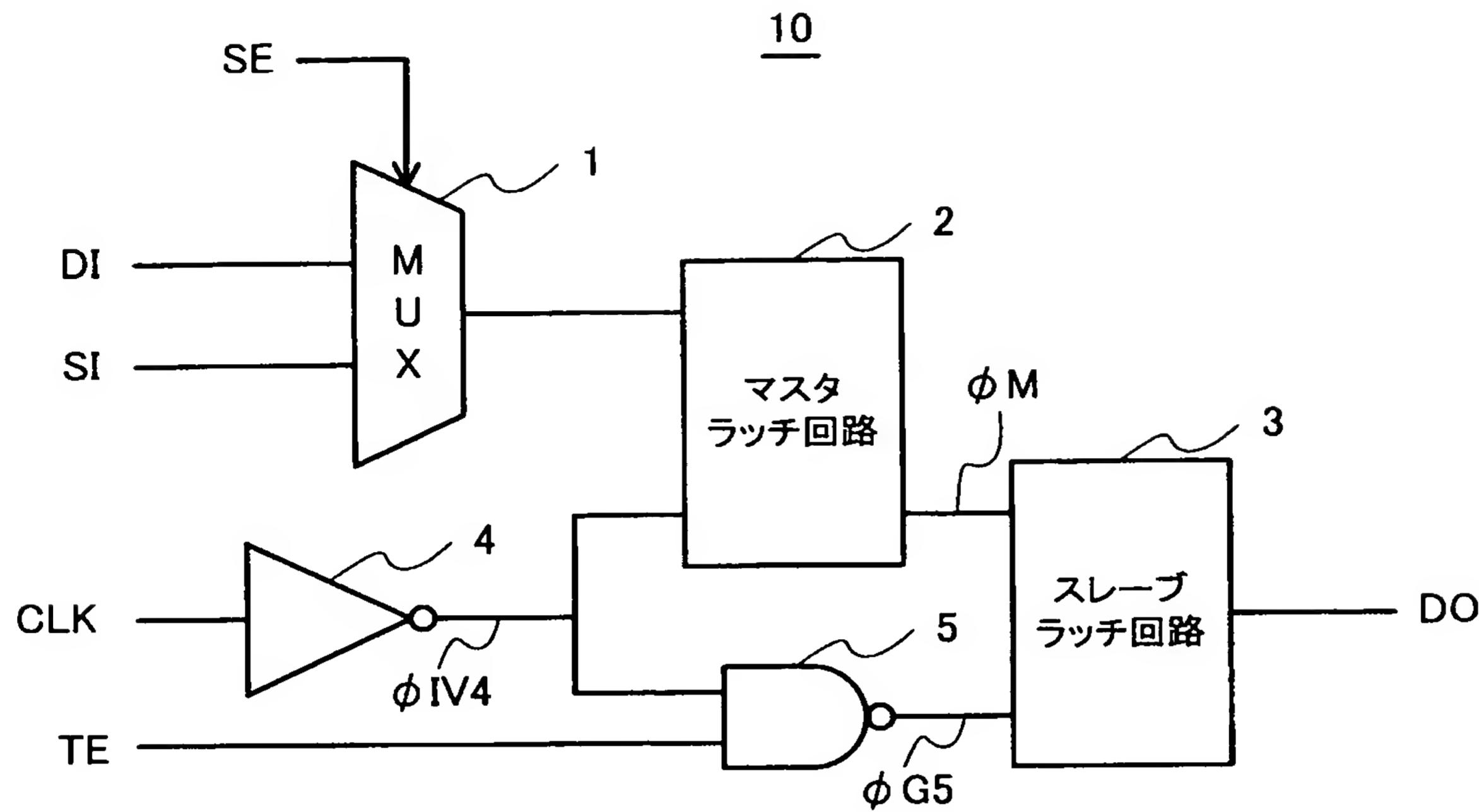
スキャンテストを説明するための他のブロック図である。

**【符号の説明】**

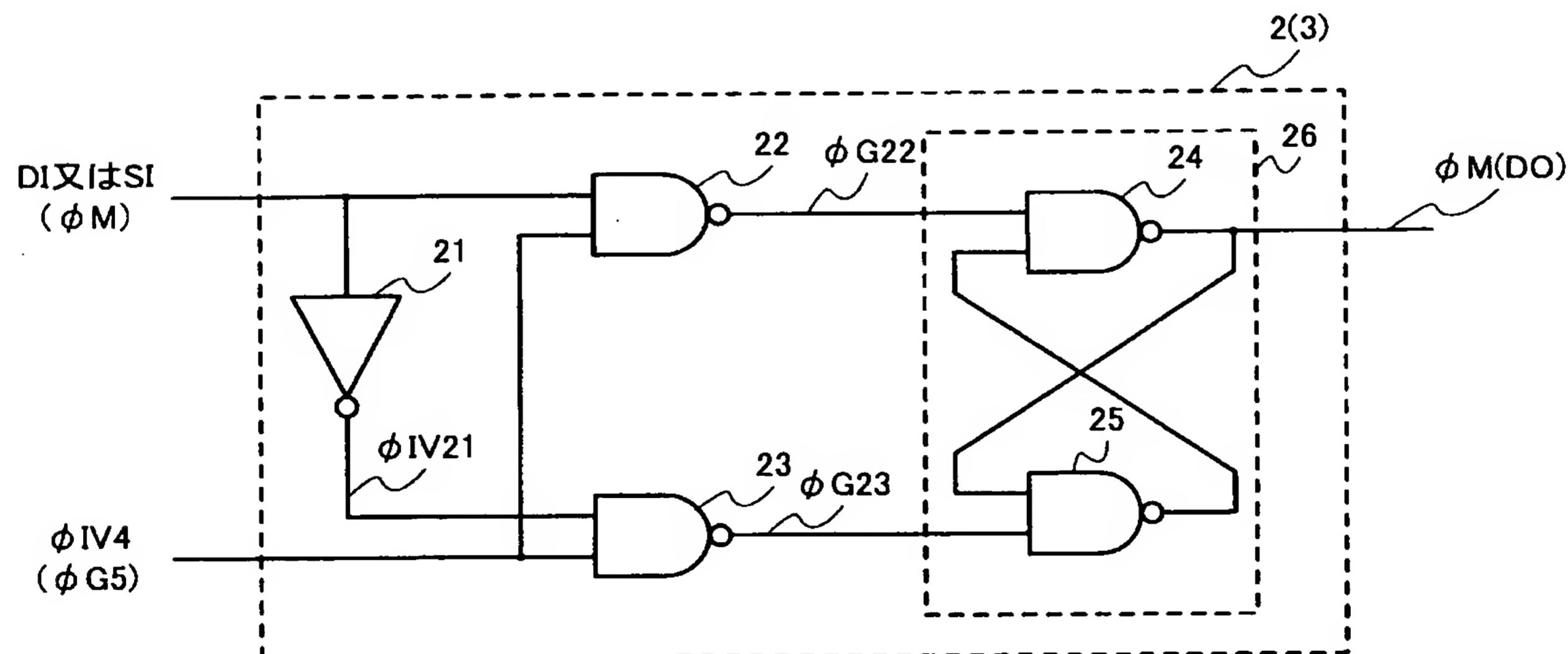
- 2 マスタラッチ回路
- 3 スレーブラッチ回路
- 5, 50 ラッチ停止回路
- 10, 20 トランスペアレントラッチ回路
- 30 ラッチ回路

【書類名】 図面

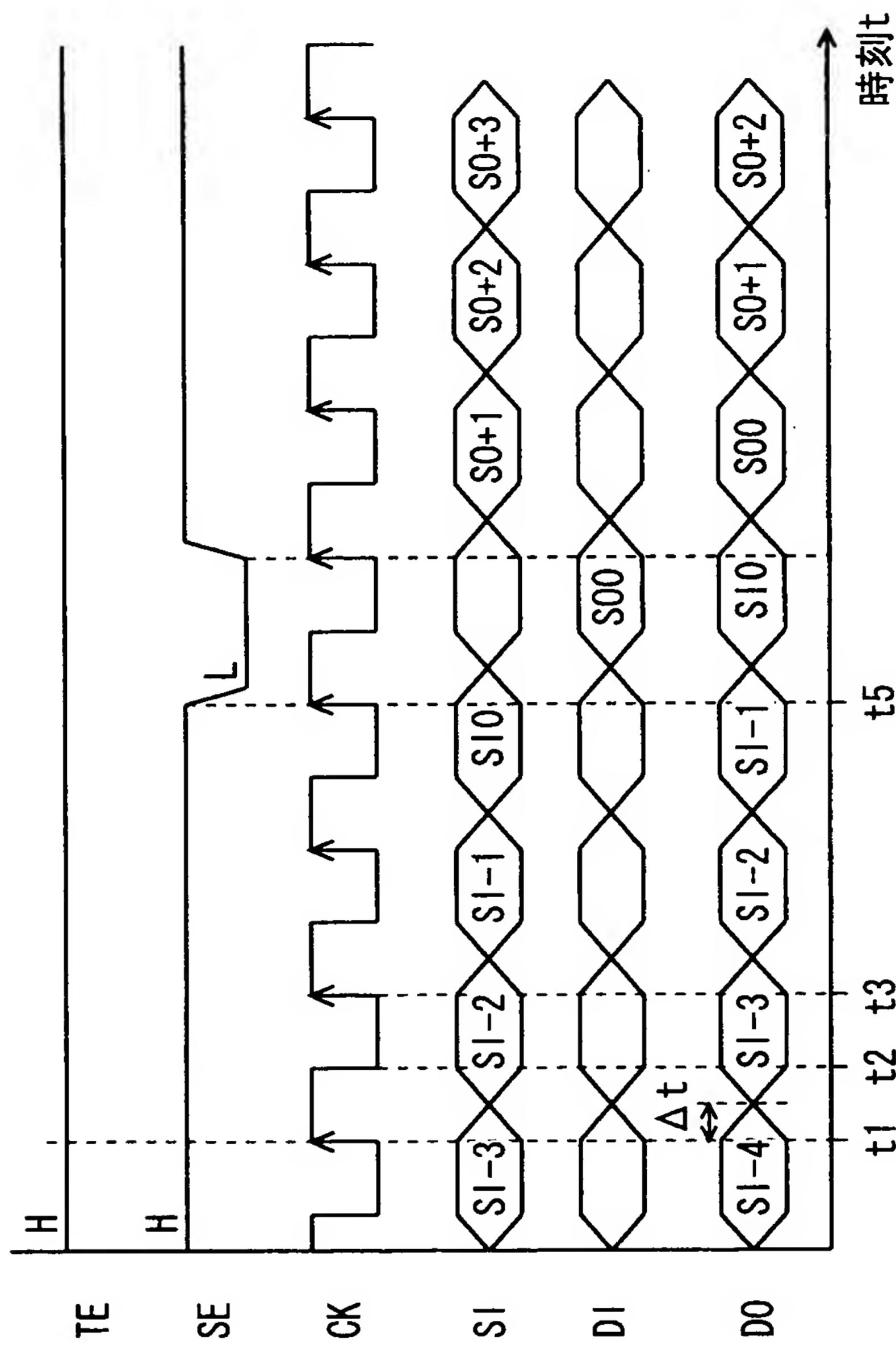
【図 1】



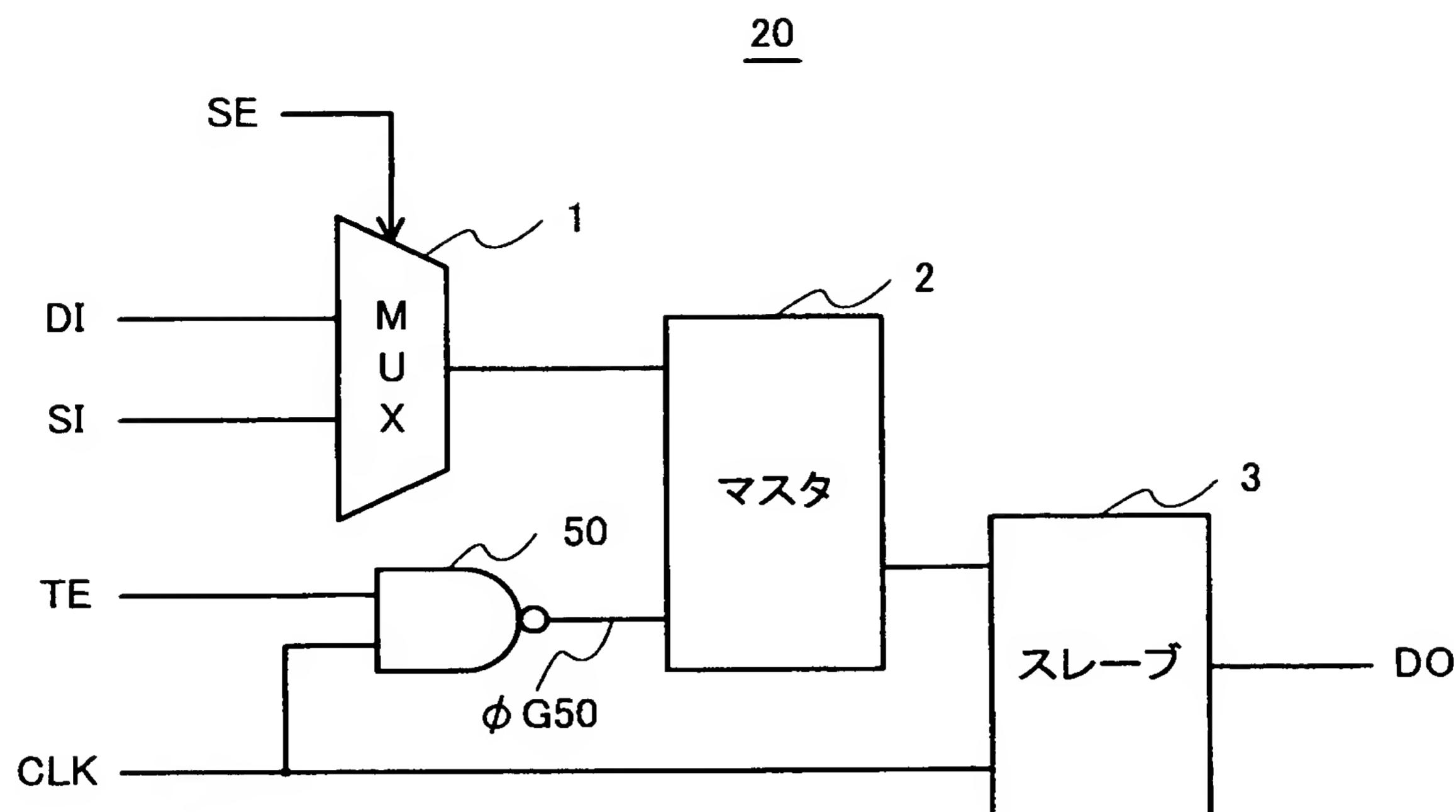
【図 2】



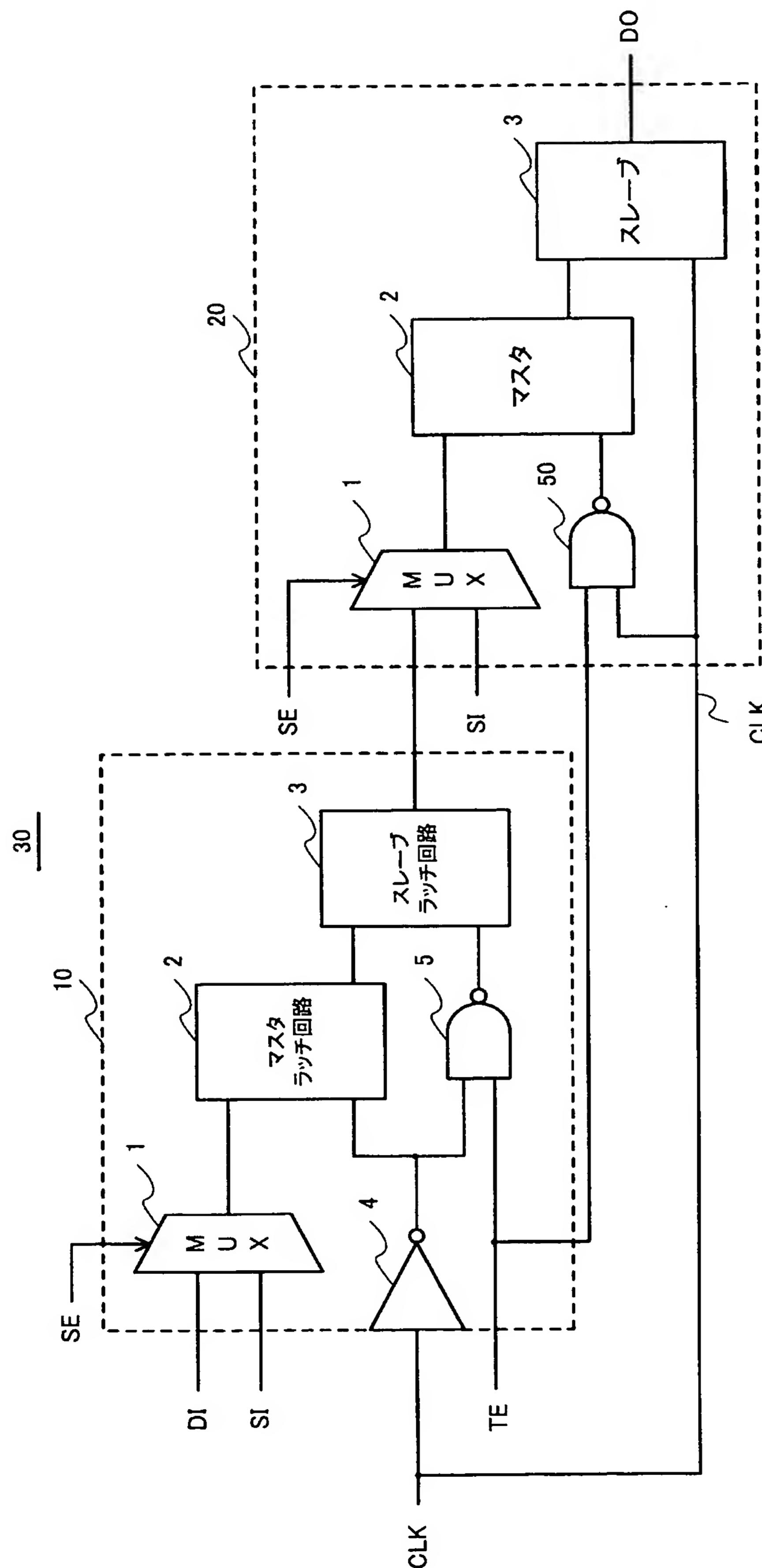
【図3】



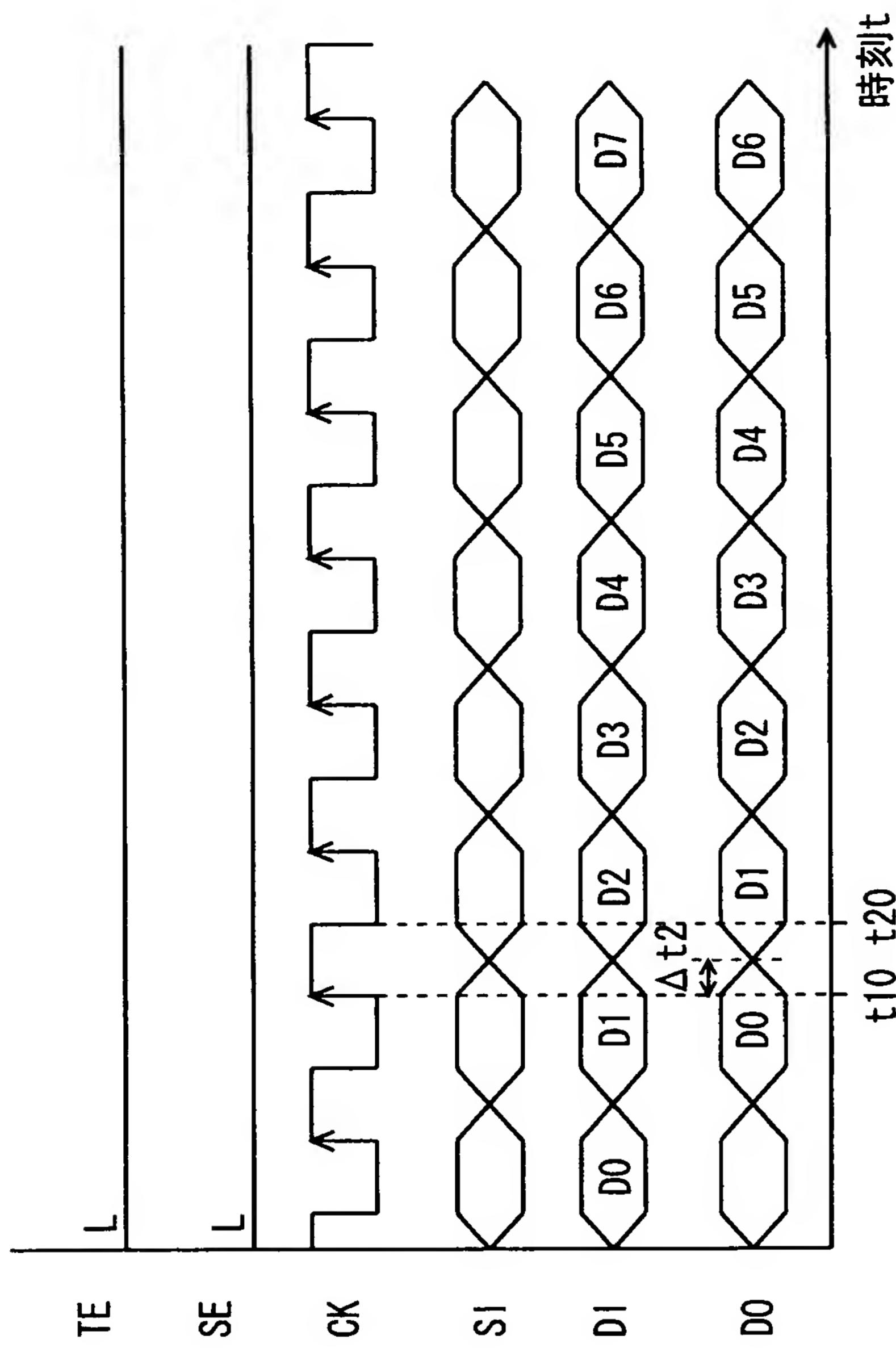
【図 4】



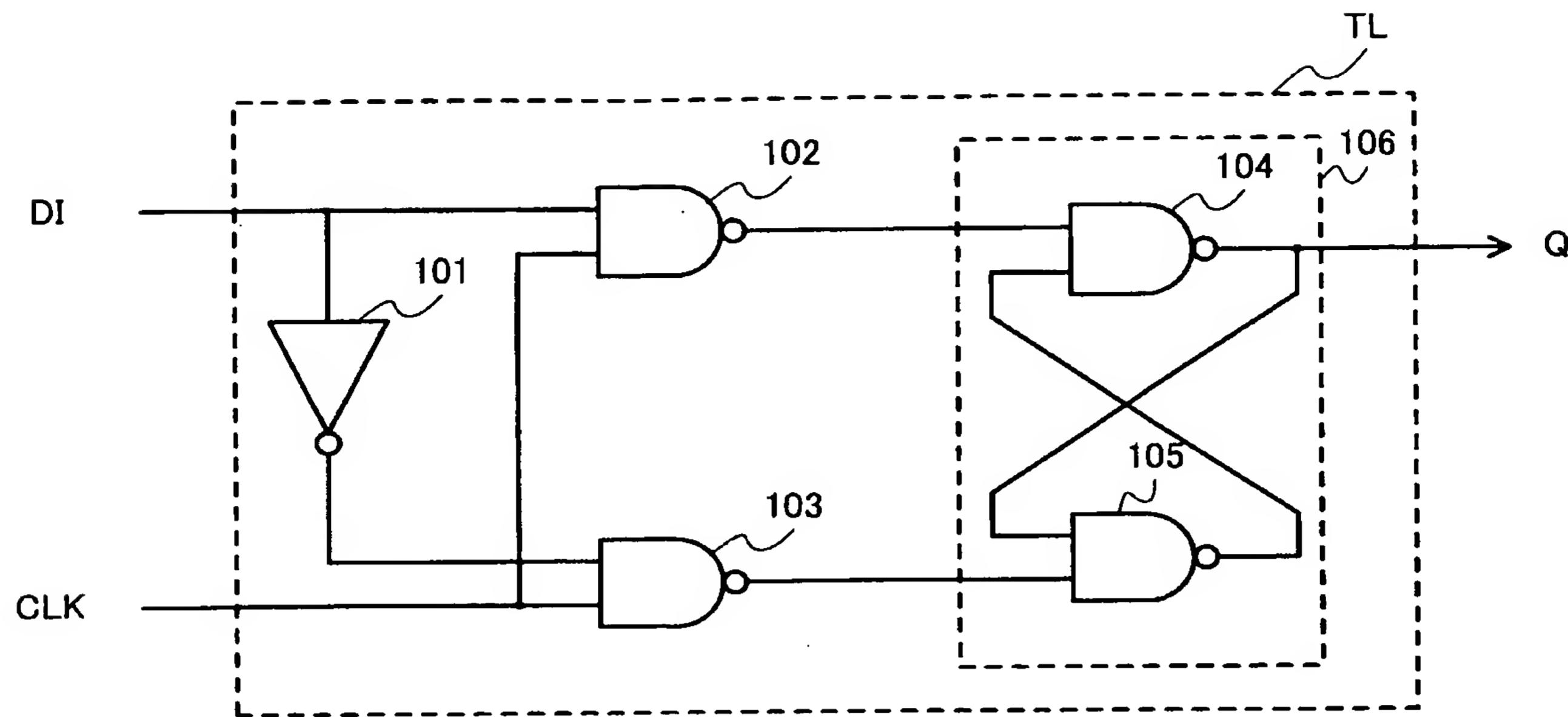
【図 5】



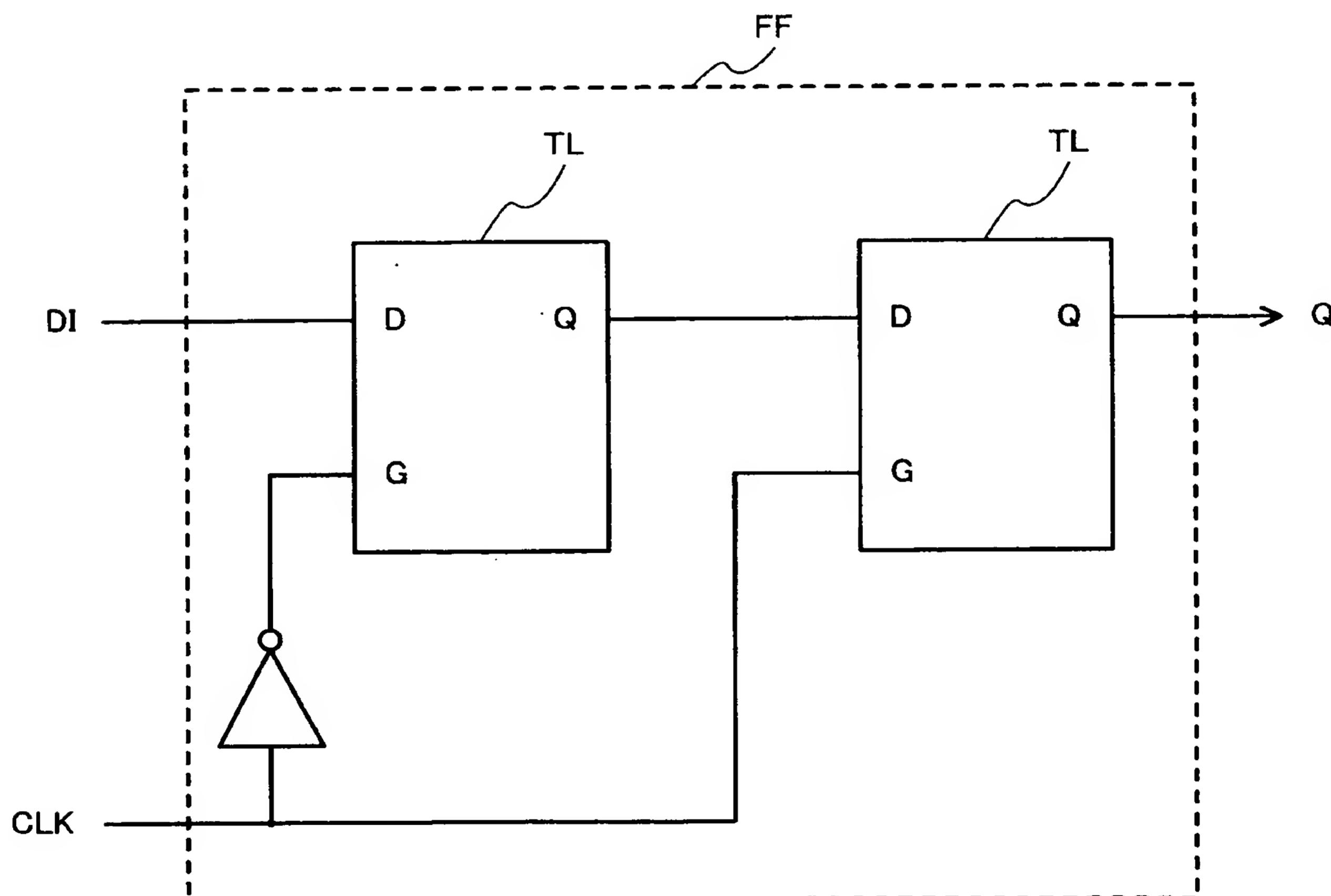
【図 6】



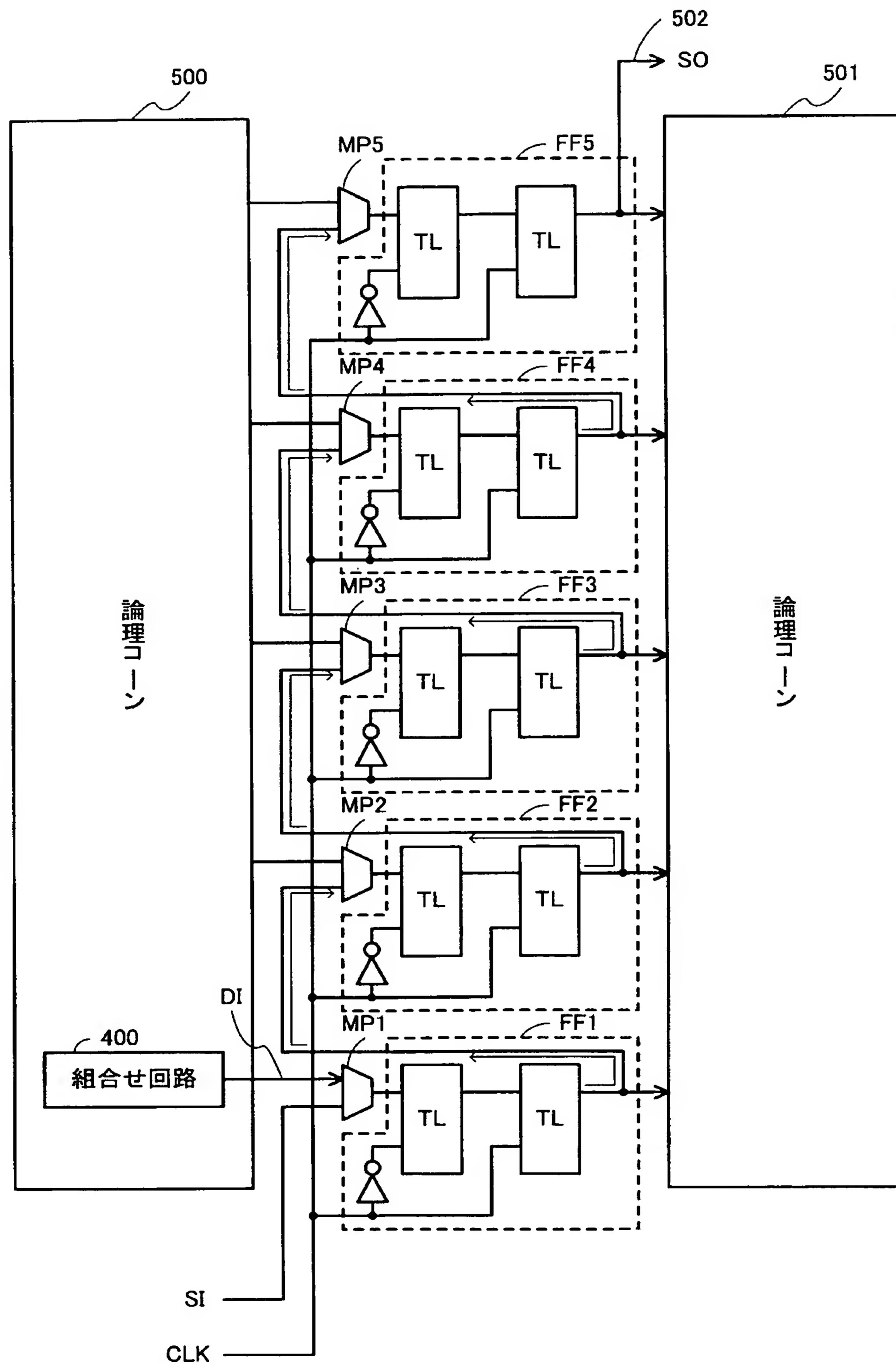
【図 7】



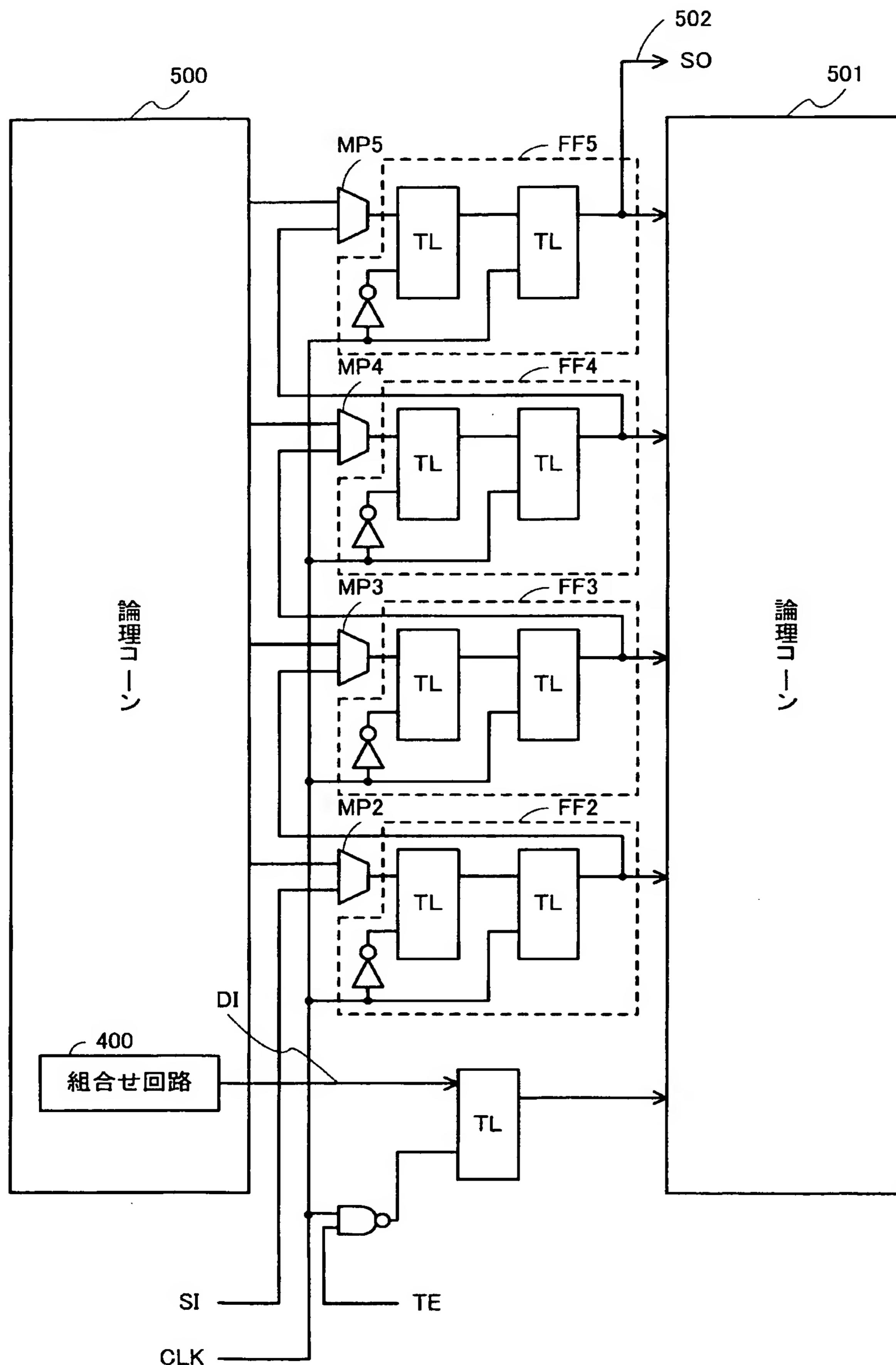
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 G S Dでスキャンテスト可能なトランスペアレントラッチ回路を提供する。

【解決手段】 トランスペアレントラッチ回路 10において、通常動作時、テスト信号 T EはL レベルとなる。ラッチ停止回路 5はH レベルのラッチ停止信号  $\phi$  G 5が出力するため、スレーブラッチ回路 3は受けた信号  $\phi$  Mをそのままスルし、マスタラッチ回路 2はインバータ 4から出力される信号  $\phi$  I V 4に応答してラッチ回路として動作する。一方、スキャンテスト時、テスト信号 T EはH レベルとなる。このとき、ラッチ停止回路 5は信号  $\phi$  I V 4と相補の信号を信号  $\phi$  G 5として出力する。よって、マスタラッチ回路 2及びスレーブラッチ回路 3は互いに相補の信号に応答するラッチ回路として動作し、トランスペアレントラッチ回路 10全体としてはフリップフロップ回路として動作する。

【選択図】 図 1

## 認定・付力口青幸及

特許出願の番号	特願 2003-185054
受付番号	50301078761
書類名	特許願
担当官	小松 清 1905
作成日	平成15年 7月 2日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国 10504、ニューヨーク州 アーモンク ニュー オーチャード ロード インターナショナル・ビジネス・マシーンズ・コーポレーション
【氏名又は名称】	

## 【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間 1623番地14 日本アイ・ビー・エム株式会社 大和事業所内 坂口 博
【氏名又は名称】	

## 【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間 1623番地14 日本アイ・ビー・エム株式会社 大和事業所内 市位 嘉宏
【氏名又は名称】	

## 【代理人】

【識別番号】	100108501
【住所又は居所】	神奈川県大和市下鶴間 1623番14 日本アイ・ビー・エム株式会社 知的所有権 上野 剛史
【氏名又は名称】	

## 【復代理人】

【識別番号】	100104444
【住所又は居所】	大阪府大阪市北区天満2丁目2番1号 角野ビル 2階 インテリクス国際特許事務所 上羽 秀敏
【氏名又は名称】	

特願2003-185054

## 出願人履歴情報

識別番号 [390009531]

1. 変更年月日 2002年 6月 3日  
[変更理由] 住所変更  
住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク ニューオーチャード ロード  
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション
2. 変更年月日 2003年12月 5日  
[変更理由] 住所変更  
住 所 アメリカ合衆国10504 ニューヨーク州 アーモンク ニューオーチャード ロード  
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション